

分割理論に基づく高並列多値演算システムの設計に関する研究

著者	玉城 実明
号	1568
発行年	1993
URL	http://hdl.handle.net/10097/6841

氏 名	玉 城 実 明
授 与 学 位	博 士 (工 学)
学位授与年月日	平成 6 年 3 月 25 日
学位授与の根拠法規	学位規則第 5 条第 1 項
研究科, 専攻の名称	東北大学大学院工学研究科 (博士課程) 電子工学専攻
学 位 論 文 題 目	分割理論に基づく高並列多値演算システムの設計に関する 研究
指 導 教 官	東北大学教授 亀山 充隆
論 文 審 査 委 員	東北大学教授 亀山 充隆 東北大学教授 樋口 龍雄 東北大学教授 丸岡 章

論 文 内 容 要 旨

第 1 章 緒 言

次世代高集積システムにおいては、演算遅れ時間が可能な限り短い高並列情報処理システムを実現することが重要である。そのためには、個々の演算要素における演算遅延の低減が必要不可欠であり、空間的並列性を追求するとともに、各演算器をいかに高速化するかが高性能化の鍵であると考えられる。一方、集積回路技術の極限微細化が進行しているが、素子の大きさがサブミクロンの領域に達すると、トランジスタなどの能動素子自体のスイッチング時間遅れに比べ、内部配線の複雑さに起因する性能劣化のほうが支配的になると言われている。今後、システムの一層の大規模化・複雑化に伴い平均配線長が確実に増加することを考慮に入れると、配線遅延によるシステムの性能劣化は深刻なものになりつつあるといえる。

これに対し本論文では、配線に起因する性能劣化を本質的に解決する超高並列演算システムの系統的構成法を提案するものであり、以下の 2 つの新しい概念を導入している。第 1 に、演算アルゴリズムの超高並列化の概念である。演算遅れ時間の小さなシステムを実現するためには、冗長符号割当を採用することによって入出力間の依存度を小さくし、種々の演算の高並列化を可能とする並列演算システムの概念が有用となる。例えば、従来おもに用いられてきた 2 進数などの重み数系とは異質の全く新しい数値符号表現あるいは記号情報表現を採択することによって、加減算・乗除算・記号処理演算などの基本演算回路を極めて高並列な超高速演算回路ファミリーとして提案すること

が重要である。第2に、物理レベルにおける多値集積回路技術との融合である。近年、配線問題を解決する1つの手段として、多値理論システムの有用性が注目されている。配線領域の面積は配線数と配線長により決定されるが、この配線長自体も配線数が増大すれば長く引き延ばさざるを得ない。そこで、信号レベルの多値化によって配線数を減少できれば、同時に配線の複雑さが減少し、さらに配線長が短くなることを考慮に入れると、信号の多値化による利点は極めて大きいといえる。

本論文では、演算アルゴリズムの高並列化と多値集積回路技術の融合による、全く新しい概念に基づく高並列ディジタルシステムを構築するために、順序回路の設計理論である分割理論に着目しており、高並列多値演算回路の系統的設計法を提案するとともに、その有用性を具体例により明らかにしている。

第2章 高並列多値演算システムに関する基礎的考察

本章では、高並列演算システムを実現するためには、符号系の選択も含めた系統的回路設計の概念が重要であり、配線問題の克服とともに、入出力桁間の依存関係を明確に取り扱える設計手法を確立する必要があることを提起している。まず、ディープサブミクロンレベルの集積回路における配線問題について述べるとともに、その解決策として、多値集積回路の有用性について考察している。次に、高並列多値演算システムの実現に対し、順序回路の一設計手法である分割理論が有用であることを明らかにしている。入出力記号を状態とみなせば、記号レベルで与えられる単項演算の符号割当問題を、順序回路の状態割当問題に帰着可能である。分割理論では、符号割当の各桁が、分割とよばれる入出力記号の分割表現に対応しており、分割理論の基本概念である前要素の連鎖関係を完成することによって、入出力間の依存関係の小さな演算回路が実現できることを明らかにしている。高並列演算回路の設計という立場での分割理論に基づく回路設計理論はこれまで提案されておらず、その有用性は、本研究によって初めて見い出されている。

第3章 高並列単項演算回路の設計

本章では、最も基本的な演算である単項演算に対して、各出力桁が入力の高々一桁にのみ依存するような高並列演算回路の設計法を提案している。まず、高並列単項演算回路が、前要素の連鎖関係が閉じた分割の集合に対応することに着目し、基本的には分割の集合を総当り的に調べることによって回路の高並列化が可能であることを示している。次に、設計時間を短縮するために、高並列演算回路の構造に対応した分割集合として「連鎖集合」の概念を定義している。これにより、全ての高並列演算回路が、連鎖集合の組み合わせによって設計可能となり、桁数最小の符号割当に不要な連鎖集合を削除することによって、組合せ数の削減を可能としている。以上のような観点から設計時間が短縮できることを、具体例ならびに図1に示す評価結果を通して明らかにしている。例えば、図2は、与えられた単項演算仕様が、最小桁数の符号割当として4値4桁の高並列演算回路により実現できる例を示しており、提案するアルゴリズムによって、設計時間が約10分1に短縮可能となっている。

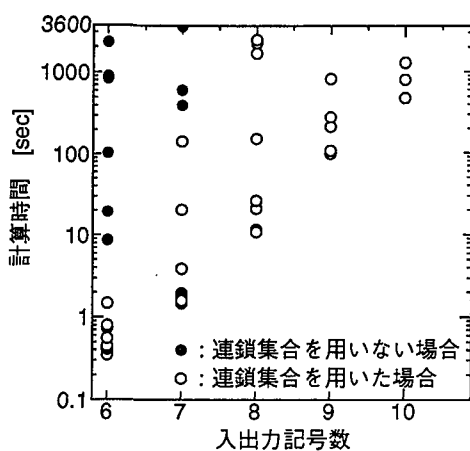


図 1：単項演算に対する評価結果

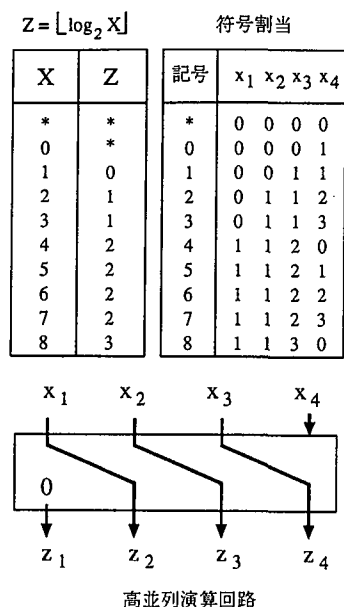


図 2：高並列単項演算回路の設計例

第 4 章 高並列多項演算回路の設計

本章では、より実用的な演算である多項演算を、各出力桁が各入力の高々一桁にのみ依存するような高並列演算回路として実現する方法を提案している。まず、順序回路は基本的に 1 入力 1 出力

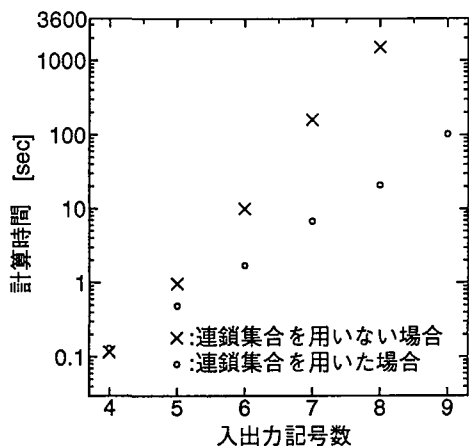


図 3：多項演算に対する評価結果

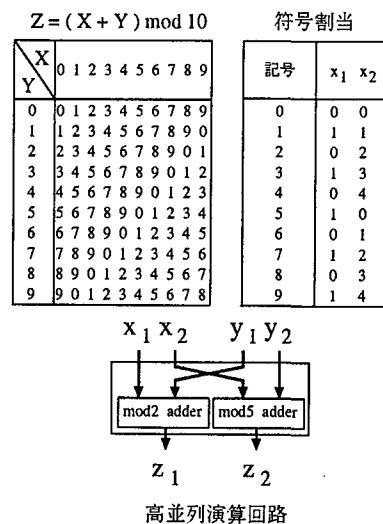


図 4：高並列多項演算回路の設計例

演算なので、前要素の連鎖関係に基づく高並列演算回路の設計概念を多項演算に直接適用することは困難である。これに対し、前要素の概念を新しく多項演算に対して拡張することによって、単項演算の場合と同様、多項演算に対しても分割の依存関係から高並列演算回路が設計可能であることを明らかにしている。また、設計時間の短縮については、連鎖集合の概念を多項演算に対して拡張しており、桁数最小化の観点から不要となる連鎖集合に着目することによって無駄な探索が削減可能であることを、具体例および図3に示す評価結果を通して明らかにしている。一例として、図4に示す2項演算に対し、汎用ワークステーションによれば5値2桁の高並列演算回路が約40分で設計可能であり、そこでは約180倍の設計高速化を達成している。

第5章 高並列多値演算システムの統一的設計

本章では、種々の演算回路を基本要素とした高並列演算システムの系統的設計法について考察している。まず、演算遅れ時間低減のためには、演算回路間で、符号変換器によるインターフェースを用いずに入出力を利用できることが重要である。そこで、符号割当を共有する複数の高並列演算回路の設計法について考察しており、各演算仕様について求めた前要素の連鎖関係が、共通の集合内で閉じることが重要であることを示している。次に、大規模システムの複数チップによる実現を考えた場合、極限的にはチップ間通信を不要とし配線遅延の影響を小さくすることが重要である。これに対し、各桁の完全分離化によって、モジュール間通信を全く必要としない完全分離構造を有する高並列演算システムの設計法を提案している。また、完全分離構造を与える分割は、前要素が自分自身でなければならないことに着目し、設計に不要な分割を削除することによって設計時間の短縮を可能としている。更に、応用例として、バイトニックソーティングネットワークを完全分離構造によって実現した結果を示している。1つのモジュールに対して図5に示すレイアウト結果が得られており、表1に示す評価結果から、提案する高並列演算システムの設計概念が有用であることを明らかにしている。

表1：比較

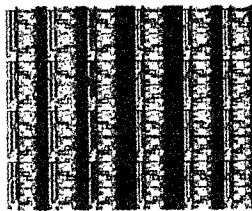


図5：レイアウト（1モジュール）

	2進数に基づく バイトニック ソーティング ネットワーク	高並列バイトニック ソーティング ネットワーク (1モジュール)
面積	294,930 μm^2	23,630 μm^2
ゲート通過段数	60段	12段
遅延時間	12.6 nsec	1.9 nsec

第6章 結 言

本章では、本研究の総括を行うとともに、今後の研究課題について展望している。

審 査 結 果 の 要 旨

次世代高集積システムにおいては、演算回路内部のゲート通過段数を少なくすることはもとより、内部配線の複雑さに起因する性能劣化を解決することが重要である。

著者は、入力桁に対する依存度が少なく、演算遅延を決定するクリティカルパスがきわめて短い高並列演算システムを構成するため、分割理論に着目した高並列多値演算回路の系統的設計法を考案し、その有用性を具体例により明らかにした。本論文はその成果をとりまとめたもので、全文6章よりなる。

第1章は緒言である。第2章では、ディープサブミクロン集積回路において、高並列多値演算回路の設計手法の確立が重要であることを示している。また、順序回路設計で用いられる分割理論の概念が、記号レベルの入出力演算仕様に対する高並列多値演算回路の設計に有用となることを明らかにしている。

第3章では、単項演算仕様に対して、各出力桁が高々1個の入力桁にしか依存しない符号割当の中で、最も桁数が少ない最適符号割当を求めるための系統的設計法を考案している。特に、分割対の連鎖関係に着目した連鎖集合の概念を提案し、探索回数の激減に有用となることを明らかにしている。

第4章では、多項演算仕様に対する系統的設計法を考察している。まず、多項演算における分割対を新しく定義することにより、分割理論を用いた系統的設計法が可能となることを見出している。次いで、桁数最小化のための最適符号割当問題に対し、連鎖集合の拡張を行い不要な探索を減少させる方法を提案している。計算機による設計時間の評価を行った結果、大幅な探索時間の減少が達成されることを確認している。これは、重要な成果である。

第5章では、より実用性の高い高並列演算システムの系統的設計法について述べている。まず、演算回路間で符号変換器によるインタフェースを不要にするため、共通の符号割当に基づく複数の高並列演算回路の設計法を考察している。また、モジュール間通信が全く不要となる完全分離構造を有する高並列演算回路の設計法も提案している。さらに、応用例としてバイトニックソーティングネットワークを取り上げ、レイアウト設計などの評価により通常の2進数演算回路による構成と比較して1桁程度的高速化が達成できることを実証している。これは、実用上有用な成果である。

第6章は結言である。

以上要するに本論文は、次世代高集積システムにおいて重要となる配線遅延の少ない高速・高並列演算回路の系統的設計法を確立したものであり、電子工学および情報工学の発展に寄与するところが少なくない。

よって、本論文は博士（工学）の学位論文として合格として認める。